

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256664

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

G 0 2 B 6/13

G 0 2 B 6/42

6/42

6/12

M

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願平9-58699

(22) 出願日

平成9年(1997) 3月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 小林 宏彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 荻田 省一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

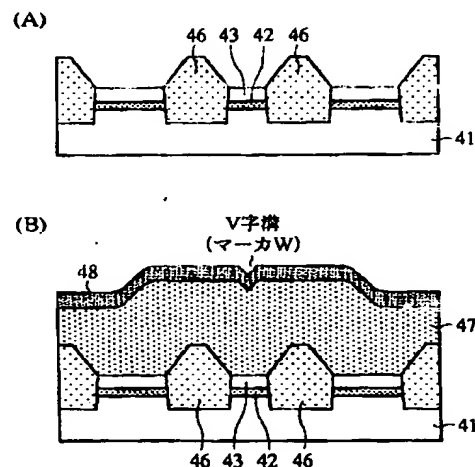
(54) 【発明の名称】 光半導体装置のマーカ形成方法

(57) 【要約】

【課題】 光半導体装置のマーカ形成方法に関し、ウェハの両端に活性層の位置を正確に反映する活性層位置表示用マーカをセルフ・アライメントで形成する。

【解決手段】 基板41上にストライプの活性層42を含む光導波路を形成する為の活性層42、第一クラッド層43などを積層し、光導波路を形成する為の半導体層をストライプ化する第一のマスク及び基板41の両端近傍で第一のマスクの両側に間隔をおき並行する第二のマスクを形成し、第一及び第二のマスクを利用し前記光導波路を形成する為の半導体層をエッチングしてストライプの活性層42を含む第一のリッジ及び電流ブロック層成長制御用リッジ45である第二のリッジを形成し、電流ブロック層46を成長して第一のリッジ及び第二のリッジの側面を埋め、第一のマスク及び第二のマスクを除去してから第一のリッジに対向するV字形の溝が生成された第二クラッド層47、コンタクト層48を形成する。

工程要所に於ける光半導体装置の要部切断正面図



47: 反対導電側第二クラッド層

48: コンタクト層

W: マーカ

【特許請求の範囲】

【請求項1】基板上に埋め込み構造の光導波路を形成する為の半導体層を積層形成する工程と、

次いで、前記光導波路を形成する為の半導体層をストライプ化する為の第一のマスク及び前記基板の両端近傍に於いて第一のマスクの両側に間隔をおいて並行する第二のマスクを形成する工程と、

次いで、第一のマスク並びに第二のマスクを利用し前記光導波路を形成する為の半導体層をエッチングして第一のリッジ及び第二のリッジを形成する工程と、

次いで、第一のマスク並びに第二のマスクを残したまま半導体結晶成長を行なって第一のリッジ及び第二のリッジに於ける少なくとも側面を埋める工程と、

次いで、第一のマスク及び第二のマスクを除去してから半導体結晶成長を行なって第一のリッジに対向するV字形の溝が生成された半導体層を形成する工程とが含まれてなることを特徴とする光半導体装置のマーク形成方法。

【請求項2】基板の両端に形成されたV字形の溝が光半導体素子に於ける第一のリッジ位置表示用マークであって、それを基準として光半導体素子と光ファイバとを結合する為のパッシブ・アライン用マークを各光半導体素子に形成する工程が含まれることを特徴とする請求項1記載の光半導体装置のマーク形成方法。

【請求項3】第一のリッジ及び第二のリッジに於ける少なくとも側面を埋める半導体結晶が電流ブロック層であることを特徴とする請求項1或いは2記載の光半導体装置のマーク形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばパッシブ・アライン、即ち、半導体レーザなどを発光させることなく、光ファイバとの位置合わせを行なうのに好適な位置合わせマークを各半導体発光素子上に正確に形成する方法に関する。

【0002】一般に、光通信は大容量の情報を伝送することができる為、これまで、幹線系通信に広く用いられてきたが、近年、マルチ・メディア情報を一般家庭にまで提供するFTTH(fiber to the home)、即ち、光ファイバを一般家庭まで引き、画像などの大容量情報を提供しようとする試みがなされ、現実のものとなりつつある。

【0003】この為、光半導体装置のモジュールを量産しなければならないが、それを実現するには、パッシブ・アラインに依って半導体発光素子と光ファイバとを簡易結合することが必要であり、本発明は、その要求に応える一手段を提供することができる。

【0004】

【従来の技術】図6はパッシブ・アラインに依る簡易結合を実現する為の半導体レーザを表す要部斜面図であ

る。

【0005】図に於いて、1は半導体レーザに於ける半導体層の最上層である電極コンタクト層、2は電極、2Aは電極2の四隅に形成された切欠部分、Cは切欠部分2Aに表出された電極コンタクト層1の部分に形成されたパッシブ・アライン用マークをそれぞれ示している。

【0006】図7は図6について説明した半導体レーザと光ファイバとの結合について説明する為の要部平面説明図であり、図6に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0007】図に於いて、11は半導体レーザ、11Aは半導体レーザ11に於けるストライプ化された活性層、12はステージ、12Aはステージ12上に形成されたマーク、13は光ファイバ、13Aは光ファイバ13に於けるコアをそれぞれ示している。

【0008】結合を行なうには、光ファイバ13が固定されたステージ12上に半導体レーザ11を位置合わせしながら固定するものであり、そして、半導体レーザ11の位置合わせは、ステージ12に形成されたマーク12Aと半導体レーザ11に於けるパッシブ・アライン用マークCとを合わせることで実現される。

【0009】前記パッシブ・アライン用マークCは、半導体レーザ11の水平方向の位置合わせに用いられ、その位置合わせ精度としては、光ファイバの中心軸と活性層の中心軸が1[μm]～2[μm]の誤差で一致することが要求され、従って、半導体レーザ11に於けるストライプの活性層と表面のパッシブ・アライン用マークCは、1[μm]以下の高い精度で一致していなければならない。

【0010】パッシブ・アライン用マークCは、電極形成工程中に電極金属膜、又は、絶縁体からなるパッシベーション膜、又は、半導体層表面を加工することで形成される。ところが、埋め込み構造の半導体レーザでは、活性層が埋没しているため、その痕跡は表面に現れない。

【0011】そこで、半導体レーザを作り込んだウエハの一部にストライプの活性層を表出させることが行なわれている。

【0012】図8は活性層の一部を表出させた半導体レーザ・ウエハを表す要部斜面図である。

【0013】図に於いて、21はウエハ、21Aはウエハ周辺で活性層と交差する方向の辺に形成された切欠部分、22は表出された活性層、23は活性層22の頂面とウエハ表面との間の距離をそれぞれ示している。

【0014】活性層22を表出させるには、ウエハ21に半導体レーザに必要な半導体層の形成及び加工を行なった後、ウェット・エッチング法を適用して切欠部分21を形成することで活性層22を表出させる。尚、通常、距離23は2[μm]～3[μm]程度である。

【0015】このようにして表出させたストライプの活

性層22を目標として、半導体レーザ表面にパッシブ・アライン用マーカCを形成している。

【0016】

【発明が解決しようとする課題】前記説明したように、活性層22の頂面とウエハ21の表面との間には、距離23が存在し、活性層22の頂面は、通常、2[μm]乃至3[μm]低い位置に在る。

【0017】従って、活性層22の頂面と半導体レーザの表面にパッシブ・アライン用マーカCを形成する為のマスクとの両方同時に焦点を合わせることは困難であり、活性層22とパッシブ・アライン用マーカCとの間には、1[μm]以上の位置ずれを生ずることが多い。

【0018】本発明では、ウエハ表面の一部、例えばウエハの周辺部分に活性層の位置を正確に反映する活性層位置表示用マーカ（以下、活性層位置表示用マーカWと呼ぶことにする）をセルフ・アライメントで形成できるようにする。

【0019】

【課題を解決するための手段】本発明では、活性層位置表示用マーカWを形成するのに活性層をストライプ化する工程が重要な役割を果たすので、従来の技術との比較を容易にする為、ここで標準的な活性層ストライプ化の工程について説明する。

【0020】図9及び図10は活性層をストライプ化する工程を説明する為の工程要所に於ける光半導体装置を表す要部切断正面図及び要部斜面図である。尚、ここで、図示した光半導体装置は、必要な部分のみが示されていて、説明に不要な部分、例えば、基板と活性層との間のバッファ層などは省略してある。

【0021】図9（A）参照

9-（1）

基板31上に活性層32及びクラッド層33を順に成長させる。

【0022】図9（B）及び図10参照

9-（2）

クラッド層33上にSiO₂膜34を形成してから、活性層のストライプと同じ形状にパターニング化する。

【0023】ストライプ化されたSiO₂膜34は、素子単位では図9（B）に見られる通りであるが、ウエハ単位では図10に見られる通りである。

【0024】図9（C）参照

9-（3）

SiO₂膜34をマスクとして、クラッド層33の表面から基板31内に達するエッチングを行い、ストライプの活性層32を含むリッジを形成する。

【0025】図1乃至図4は本発明の原理を説明する為の工程要所に於ける光半導体装置を表す要部切断正面図、また、図5は同じく要部斜面図である。尚、図1乃至図4は素子単位で表してあり、そして、図5はウエハ単位で表してある。

【0026】図1（A）参照

1-（1）

基板41上にパッファ兼一導電側クラッド層（図示せず）、活性層42、反対導電側第一クラッド層43を形成する。

【0027】図1（B）及び図5参照

1-（2）

反対導電側第一クラッド層43上の全面にSiO₂膜を形成してから、パターニングを行なって、ストライプの活性層を含むリッジの形成予定部分にストライプのSiO₂膜44Aを、また、電流ブロック層成長制御用リッジの形成予定部分にSiO₂膜44Bをそれぞれ残して他を除去する。

【0028】図5から明らかであるが、電流ブロック層成長制御用リッジの形成予定部分は、ストライプの活性層を含むリッジから電流ブロック層の間隔をおいた両側であって、且つ、ウエハの両端部分のみである。

【0029】図5に見られるウエハと図10に見られるウエハとを比較すると明瞭に看取されるが、本発明のウエハに於いては、両端に形成されたSiO₂膜44B、また、それをマスクとして形成される電流ブロック層成長制御用リッジの存在が従来のウエハとは顕著に相違する。

【0030】図2（A）参照

2-（1）

SiO₂膜44A並びに44Bをマスクとして、反対導電側第一クラッド層43の表面から基板41内に達するエッチングを行なって、ストライプの活性層42を含むリッジ及び電流ブロック層成長制御用リッジ45を形成する。

【0031】図2（B）参照

2-（2）

SiO₂膜44A並びに44Bを選択成長マスクとして電流ブロック層46の成長を行なう。尚、図示されていないが、電流ブロック層46はp型半導体層とn型半導体層との積層構造になっていることは勿論である。

【0032】ところで、SiO₂膜は半導体の選択成長マスクとして作用し、SiO₂膜が存在する近傍の半導体面上では、半導体の成長速度は速くなることが知られている。

【0033】従って、電流ブロック層46の成長を行なう際、SiO₂膜44Bが存在するウエハの両端部分では、電流ブロック層46の成長速度が速くなり、その形状は、図示されているように凸形になる。

【0034】図3（A）参照

3-（1）

SiO₂膜44A及び44Bを除去する。

【0035】図3（B）参照

3-（2）

50 反対導電側第二クラッド層47及びコンタクト層48を

順に形成する。

【0036】ここで、ウエハ両端に於けるストライプの活性層42を含むリッジに対向する反対導電側第二クラッド層47及びコンタクト層48表面には、凸形の電流ブロック層46の影響で、横断面がV字形状をなす溝が生成される。

【0037】そのV字形状をなす面に於ける面指数は結晶の成長速度が遅い(111)Bである為、所要厚さの反対導電側第二クラッド層47やコンタクト層48を成長させている間に埋まってしまうことはなく、最後まで

【0038】本発明では、前記したように、ストライプの活性層42に対してセルフ・アライメントで形成されたV字形状の溝を活性層位置表示用マーカWとして用いることが基本になっていて、ここで形成された活性層位置表示用マーカWは、ストライプの活性層42の位置を正確に反映したものであることは容易に理解されよう。

【0039】図4(A)参照

4-(1)

全面に絶縁膜49を形成してから、ストライプの活性層42に対応する開口及びパッシブ・アライン用マーカを形成する為のエッチング・マスクを形成する。尚、この際、フォト・マスクの位置合わせは、ストライプの活性層42に対応してウエハ両端に存在するマーカWを基準にして実施する。

【0040】4-(2)

絶縁膜49のエッチングを行なって、ストライプの活性層42に対応する開口49A及び各素子毎のパッシブ・アライン用マーカCを形成する。

【0041】ここで、活性層位置表示用マーカWを基準にして、パッシブ・アライン用マーカCを形成する為のマスクの位置合わせを行なう作業に於いては、活性層位置表示用マーカWがストライプの活性層42と正確に一致した箇所に在り、しかも、ウエハの表面に存在している為、位置合わせは容易であって、ずれを生ずることは極めて少ない。

【0042】図4(B)参照

4-(3)

コンタクト層48にコンタクトする反対導電側電極50及び基板41の裏面にコンタクトする一導電側電極51を形成する。

【0043】この後、劈開に依るチップ化、光高反射膜の形成など、通常の技法を適用して完成させる。

【0044】前記したところから、本発明に依る光半導体装置のマーカ形成方法では、(1)基板(例えば基板41)上に埋め込み構造の光導波路(例えば半導体レーザに於けるストライプの活性層42)を形成する為の半導体層(例えばバッファ兼一導電側クラッド層、活性層42、反対導電側第一クラッド層43など)を積層形成する工程と、次いで、前記光導波路を形成する為の半導

体層をストライプ化する為の第一のマスク(例えばSiO₂膜44A)及び前記基板の両端近傍に於いて第一のマスクの両側に間隔をおいて並行する第二のマスク(例えばSiO₂膜44B)を形成する工程と、次いで、第一のマスク並びに第二のマスクを利用し前記光導波路を形成する為の半導体層をエッチングして第一のリッジ

(例えばストライプの活性層42を含むリッジ)及び第二のリッジ(例えば電流ブロック層成長制御用リッジ45)を形成する工程と、次いで、第一のマスク並びに第二のマスクを残したまま半導体結晶成長(例えばp-InP層及びn-InP層からなる電流ブロック層46の成長)を行なって第一のリッジ及び第二のリッジに於ける少なくとも側面を埋める工程と、次いで、第一のマスク及び第二のマスクを除去してから半導体結晶成長を行なって第一のリッジに対向するV字形の溝が生成された半導体層(例えば反対導電側第二クラッド層47、コンタクト層48など)を形成する工程とが含まれてなることを特徴とするか、又は、

【0045】(2)前記(1)に於いて、基板の両端に形成されたV字形の溝が光半導体素子に於ける第一のリッジ位置表示用マーカ(例えば活性層位置表示用マーカW)であって、それを基準として光半導体素子と光ファイバとを結合する為のパッシブ・アライン用マーカ(例えばパッシブ・アライン用マーカC)を各光半導体素子に形成する工程が含まれることを特徴とするか、又は、

【0046】(3)前記(1)或いは(2)に於いて、第一のリッジ及び第二のリッジに於ける少なくとも側面を埋める半導体結晶が電流ブロック層(例えばp-InP層及びn-InP層からなる電流ブロック層46)であることを特徴とする。

【0047】前記手段を採ることに依り、ストライプの活性層が存在する位置を表示する活性層位置表示用マーカを前記ストライプの活性層に対してセルフ・アライメントで形成することができるので、その間の位置ずれはごく小さく、そして、前記活性層位置表示用マーカはウエハの表面に存在する為、その活性層位置表示用マーカを基準として、半導体レーザ素子と光ファイバとをパッシブ・アラインで結合する際に用いるパッシブ・アライン用マーカを各半導体レーザ素子に正確且つ用形成することができる。

【0048】従って、活性層位置表示用マーカとパッシブ・アライン用マーカとの位置ずれは極めて小さく、その結果、パッシブ・アライン用マーカとストライプの活性層位置とのずれもごく少なくなって、半導体レーザと光ファイバとをパッシブ・アラインで良好に結合することが可能となり、光通信の普及に大きく寄与することができる。

【0049】

【発明の実施の形態】本発明に依る一実施の形態について説明するが、理解を容易にする為、本発明の原理を説

明するのに用いた図1乃至図5を再び参照する。但し、以下の説明に於いては、図には表示されていない部材も現れる点に留意しなければならない。尚、ここでは、InGaAsP/InP系埋め込み構造半導体レーザを対象にしている。

【0050】図1(A)参照

1-(1)

MOVPE (metalorganic vapor phase epitaxy) 法を適用することに依り、基板41上にバッファ兼一導電側クラッド層(図示せず)、活性層42、反対導電側第一クラッド層43を形成する。

【0051】ここに表されている半導体部分に関する主なデータについて例示すると次の通りである。

【0052】① 基板41について

材料: n-InP

大きさ: 5 [cm] (2 [インチ]) □

【0053】② バッファ兼一導電側クラッド層(図示せず)について

材料: n-InP

厚さ: 0.5 [μm]

【0054】③ 活性層42について

材料: ノンドープInGaAsP

厚さ: 0.15 [μm]

【0055】④ 反対導電側第一クラッド層43について

材料: p-InP

厚さ: 0.5 [μm]

【0056】図1(B)及び図5参照

1-(2)

化学気相堆積 (chemical vapor deposition: CVD) 法を適用することに依り、反対導電側第一クラッド層43上の全面に厚さが例えば0.3 [μm] であるSiO₂ 膜を形成する。

【0057】1-(3)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッチャントをフッ酸系エッチング液とするウェット・エッチング法を適用することに依り、SiO₂ 膜のエッチングを行なって、ストライプの活性層を含むリッジの形成予定部分にストライプのSiO₂ 膜44Aを、また、電流ブロック層成長制御用リッジの形成予定部分にSiO₂ 膜44Bをそれぞれ残して他を除去する。尚、ここでは、SiO₂ 膜44Bの幅が20 [μm] であって、SiO₂ 膜44Aから20 [μm] の間隔を於いて形成される。

【0058】図2(A)参照

2-(1)

メタン系ガスをエッチング・ガスとするドライ・エッチング法を適用することに依り、SiO₂ 膜44A及び44Bをマスクとして、反対導電側第一クラッド層43の

表面から基板41内に達するエッチングを行なって、ストライプの活性層42を含むリッジ並びに電流ブロック層成長制御用リッジ45を形成する。尚、この場合のエッチング深さは、例えば1.5 [μm] 程度になる。

【0059】図2(B)参照

2-(2)

MOVPE法を適用することに依り、SiO₂ 膜44A及び44Bを選択成長マスクとして、厚さが各々1 [μm] 程度であるp-InP層及びn-InP層からなる電流ブロック層46の成長を行なう。

【0060】この際、SiO₂ 膜44Bが存在するウエハの両端部分では、電流ブロック層46の成長速度が速くなり、その形状が図示のような凸形になることは、原理説明に於いて記述した通りである。

【0061】図3(A)参照

3-(1)

フッ酸系エッチング液中に浸漬することに依り、SiO₂ 膜44A及び44Bを除去する。

【0062】図3(B)参照

3-(2)

MOVPE法を適用することに依り、厚さが例えば2 [μm] である反対導電側第二クラッド層47及び厚さが例えば1 [μm] であるコンタクト層48を順に形成する。

【0063】ここで、ウエハ両端に於けるストライプの活性層42を含むリッジに対向する反対導電側第二クラッド層47及びコンタクト層48表面には、凸形の電流ブロック層46の影響で、横断面がV字形状をなす溝が生成されること、そして、その溝は、表出されている結晶面の面指数の関係で、所要厚さの反対導電側第二クラッド層47やコンタクト層48を成長させている間に埋まってしまうことなく、最後まで明瞭に残留することは原理説明に於いて記述した通りである。

【0064】ストライプの活性層42に対してセルフ・アライメントで形成されたV字形状の溝を活性層位置表示用マーカWとして用いることは、原理説明で記述した通りであり、ここで形成された活性層位置表示用マーカWは、ストライプの活性層42の位置を正確に反映し、誤差を0.1 [μm] 以下に維持できることが確認された。

【0065】図4(A)参照

4-(1)

CVD法を適用することに依って、厚さが例えば300 [nm] であるSiO₂ からなる絶縁膜49を形成する。

【0066】4-(2)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、ストライプの活性層42に対応する開口及びパッシブ・アライン用マーカを形成する為のエッチング・マスクとなるレジスト膜を形成する。尚、この

際、フォト・マスクの位置合わせは、ストライプの活性層42に対応してウエハ両端に存在するマーカWを基準にして実施することは言うまでもない。

【0067】4-(3)

エッチング・ガスを CF_4 系とするRIE法を適用することに依り、絶縁膜49のエッチングを行なって、ストライプの活性層42に対応する開口49A及び各素子毎のパッシブ・アライン用マーカCを形成する。

【0068】図4(B)参照

4-(4)

真空蒸着法及びリソグラフィ技術を適用することに依り、コンタクト層48にコンタクトする反対導電側電極50及び基板41の裏面にコンタクトする一導電側電極51を形成する。

【0069】この後、劈開に依るチップ化、光高反射膜の形成など、通常の技法を適用して完成させる。

【0070】前記のようにして得られた各半導体レーザ素子について実測したところ、活性層42とマーカCとの位置合わせ誤差は $\pm 0.7 [\mu m]$ 以下であり、また、光ファイバとのパッシブ・アラインに依る結合を行なったところ、位置合わせ誤差は、 $\pm 1.5 [\mu m]$ 以下であった。

【0071】因みに、従来の半導体レーザ素子に於ける活性層とマーカCとの位置合わせ誤差は $\pm 1.5 [\mu m]$ 程度、また、光ファイバとのパッシブ・アラインに依る結合の場合、位置合わせ誤差は $\pm 2.3 [\mu m]$ である。

【0072】本発明に於いては、前記説明した実施の形態に限られず、他に多くの改変を実現することができる。

【0073】例えば、前記実施の形態に於ける半導体レーザの活性層は、 $InGaAsP$ のバルクで構成したが、これはMQW (multiple quantum wells) 構造の活性層に代替して良いことは勿論である。

【0074】また、本発明を適用できる光半導体装置としては、半導体レーザに限られず、埋め込み構造の光導波路をもつものについては全て有効である。

【0075】

【発明の効果】本発明に依る光半導体装置のマーカ形成方法に於いては、埋め込み構造の光導波路を形成する為の半導体層を積層形成し、光導波路を形成する為の半導体層をストライプ化する為の第一のマスク及び基板の両端近傍に於いて第一のマスクの両側に間隔をおいて並行する第二のマスクを形成し、第一のマスク並びに第二のマスクを利用し光導波路を形成する為の半導体層をエッチングして第一のリッジ及び第二のリッジを形成し、第一のマスク並びに第二のマスクを残したまま半導体結晶成長を行なって第一のリッジ及び第二のリッジに於ける側面を埋め、第一のマスク及び第二のマスクを除去して

から半導体結晶成長を行なって第一のリッジに対向するV字形の溝が生成された半導体層を形成する。

【0076】前記構成を採ることに依り、ストライプの活性層が存在する位置を表示する活性層位置表示用マーカを前記ストライプの活性層に対してセルフ・アライメントで形成することができるので、その間の位置ずれはごく小さく、そして、前記活性層位置表示用マーカはウエハの表面に存在する為、その活性層位置表示用マーカを基準として、半導体レーザ素子と光ファイバとをパッシブ・アラインで結合する際に用いるパッシブ・アライン用マーカを各半導体レーザ素子に正確且つ容易に形成することができる。

【0077】従って、活性層位置表示用マーカとパッシブ・アライン用マーカとの位置ずれは極めて小さく、その結果、パッシブ・アライン用マーカとストライプの活性層位置とのずれもごく少なくなって、半導体レーザと光ファイバとをパッシブ・アラインで良好に結合することが可能となり、光通信の普及に大きく寄与することができる。

20 【図面の簡単な説明】

【図1】本発明の原理を説明する為の工程要所に於ける光半導体装置を表す要部切断正面図である。

【図2】本発明の原理を説明する為の工程要所に於ける光半導体装置を表す要部切断正面図である。

【図3】本発明の原理を説明する為の工程要所に於ける光半導体装置を表す要部切断正面図である。

【図4】本発明の原理を説明する為の工程要所に於ける光半導体装置を表す要部切断正面図である。

30 【図5】本発明の原理を説明する為の工程要所に於ける光半導体装置を表す要部斜面図である。

【図6】パッシブ・アラインに依る簡易結合を実現する為の半導体レーザを表す要部斜面図である。

【図7】図6について説明した半導体レーザと光ファイバとの結合について説明する為の要部平面説明図である。

【図8】活性層の一部を表出させた半導体レーザの断面を表す要部斜面図である。

【図9】活性層をストライプ化する工程を説明する為の工程要所に於ける光半導体装置を表す要部切断正面図である。

【図10】活性層をストライプ化する工程を説明する為の工程要所に於ける光半導体装置を表す要部斜面図である。

【符号の説明】

41 基板

42 活性層

43 反対導電側第一クラッド層

44A SiO_2 膜

44B SiO_2 膜

50 45 電流ブロック層成長制御用リッジ

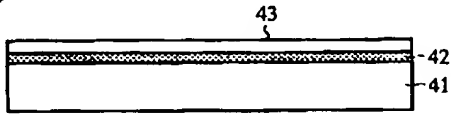
11

- 46 電流ブロック層
- 47 反対導電側第二クラッド層
- 48 コンタクト層
- 49 絶縁膜

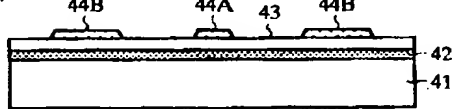
【図1】

工程要所に於ける光半導体装置の要部切断正面図

(A)



(B)



- 41: 基板
- 42: 活性層
- 43: 反対導電側第一クラッド層
- 44A及び44B: SiO₂膜

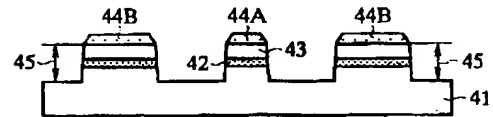
12

- 50 反対導電側電極
- 51 一導電側電極
- W 活性層位置表示用マーカ
- C パッシブ・アライン用マーカ

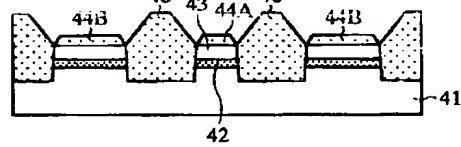
【図2】

工程要所に於ける光半導体装置の要部切断正面図

(A)



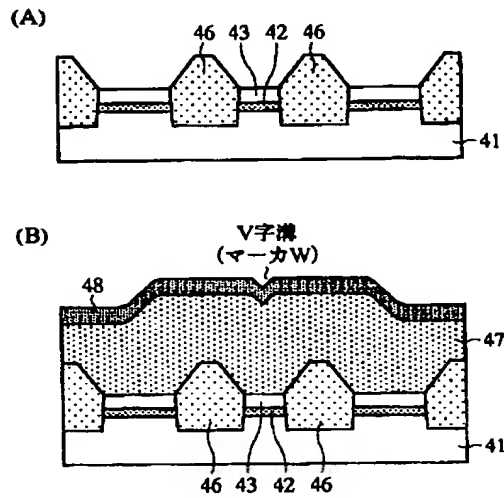
(B)



- 45: 電流ブロック層成長制御用リッジ
- 46: 電流ブロック層

【図3】

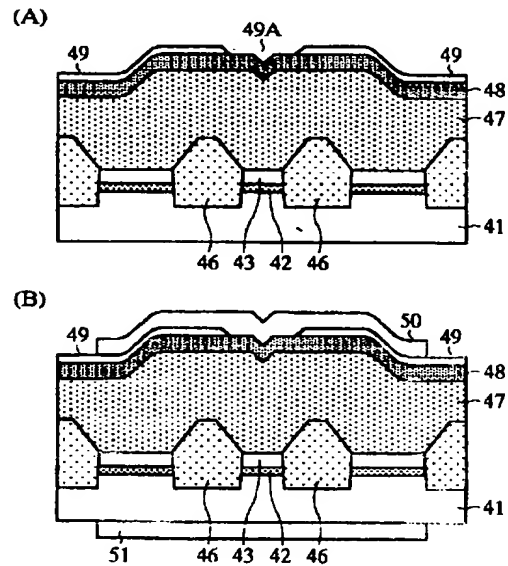
工程要所に於ける光半導体装置の要部切断正面図



47: 反対導電側第二クラッド層
 48: コンタクト層
 W: マーカ

【図4】

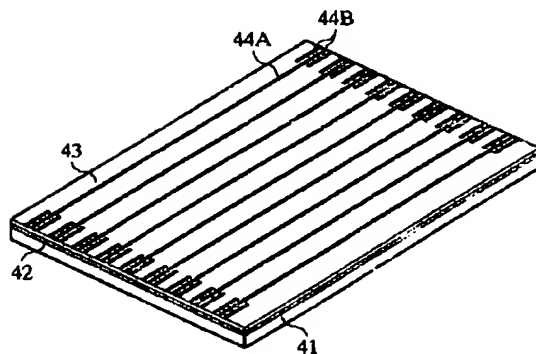
工程要所に於ける光半導体装置の要部切断正面図



49: 絶縁膜
 50: 反対導電側電極
 51: 一導電側電極

【図5】

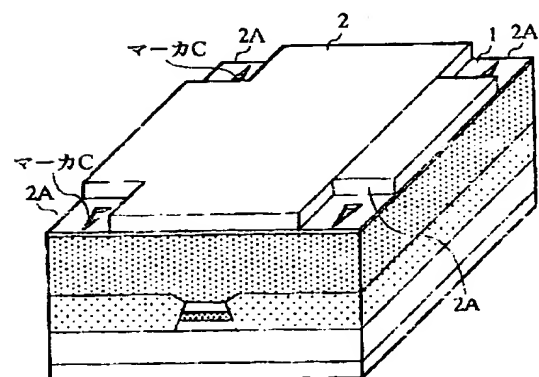
工程要所に於ける光半導体装置の要部斜断面図



41: 基板
 42: 活性層
 43: 反対導電側第一クラッド層
 44A及び44B: SiO₂膜

【図6】

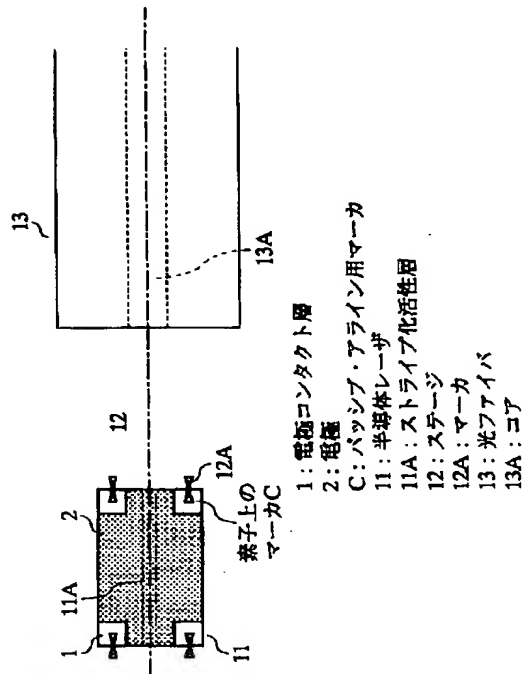
パッシブ・アライン用半導体レーザの要部斜断面図



1: 電極コンタクト層
 2: 電極
 2A: 切欠部分
 C: パッシブ・アライン用マーカ

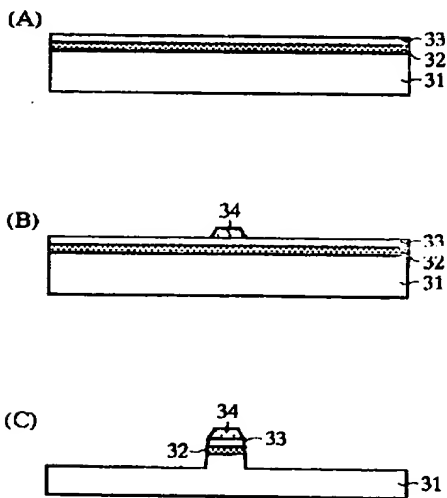
【図7】

半導体レーザと光ファイバとの結合を表す
要部平面説明図



【図9】

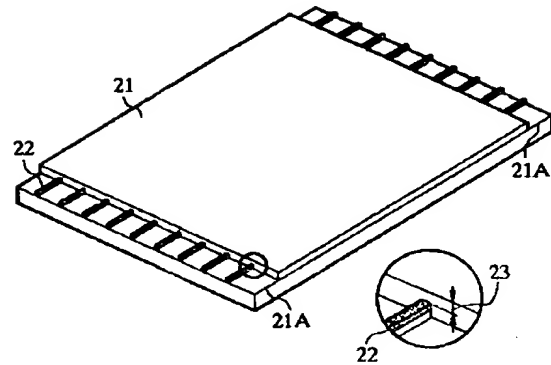
工程要所に於ける光半導体装置の要部切断正面図



31: 基板
32: 活性層
33: クラッド層
34: SiO₂膜

【図8】

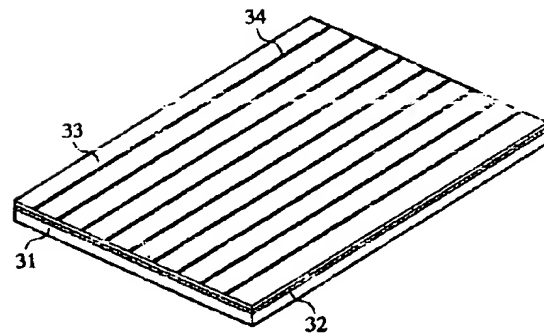
半導体レーザ・ウエハの要部斜面図



21: ウエハ
21A: 切欠部分
22: 活性層
23: 距離

【図10】

工程要所に於ける光半導体装置の要部斜面図



31: 基板
32: 活性層
33: クラッド層
34: SiO₂膜